



No. 247090US2/ims

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshio TAKAHASHI

GAU:

SERIAL NO: 10/743,828

EXAMINER:

FILED: December 24, 2003

FOR: INTERFACE CIRCUIT FOR CARD-TYPE MEMORY, ASIC INCLUDING INTERFACE CIRCUIT,
AND IMAGE FORMING APPARATUS INCLUDING ASIC

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-382155	December 27, 2002
JAPAN	2003-414817	December 12, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年12月27日
Date of Application:

出願番号 特願2002-382155
Application Number:

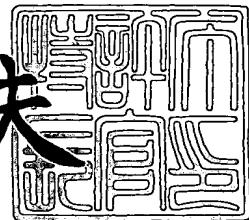
[ST. 10/C] : [JP2002-382155]

出願人 株式会社リコー
Applicant(s):

2003年11月12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 0208916
【提出日】 平成14年12月27日
【あて先】 特許庁長官殿
【国際特許分類】 G03G 21/00
【発明の名称】 カード型メモリのインターフェース回路、その回路を搭載したA S I C、及びそのA S I Cを搭載した画像形成装置
【請求項の数】 4
【発明者】
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内
【氏名】 高橋 敏男
【特許出願人】
【識別番号】 000006747
【氏名又は名称】 株式会社 リコー
【代表者】 桜井 正光
【代理人】
【識別番号】 100078134
【弁理士】
【氏名又は名称】 武 顯次郎
【電話番号】 03-3591-8550
【選任した代理人】
【識別番号】 100106758
【弁理士】
【氏名又は名称】 橋 昭成
【手数料の表示】
【予納台帳番号】 006770
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808513

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 カード型メモリのインターフェース回路、その回路を搭載したA S I C、及びそのA S I Cを搭載した画像形成装置

【特許請求の範囲】

【請求項1】 着脱可能であってセクタ単位のアクセスが必要なカード型メモリと電子機器本体を接続するカード型メモリのインターフェース回路において

前記カード型メモリからリードした少なくとも2セクタ分のデータを格納するバッファと、

前記電子機器本体側のC P Uからの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記C P Uに送信し、そのリードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記C P Uに送信する手段とを備えたことを特徴とするカード型メモリのインターフェース回路。

【請求項2】 前記カード型メモリは、S Dカードであることを特徴とする請求項1記載のカード型メモリのインターフェース回路。

【請求項3】 画像処理機能、画像入出力機能及びデータ通信機能の1以上のアプリケーション機能を有し、各アプリケーション機能がメモリ及びハードディスクの1以上を共有資源として利用可能に構成された設計されたA S I Cにおいて、

請求項1又は2記載のカード型メモリのインターフェース回路を搭載したことと特徴とするA S I C。

【請求項4】 請求項3に記載のA S I Cを搭載した画像形成装置において

前記カード型メモリに格納されているプログラムを直接実行することを特徴と

する画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SD(Secure Digital)カードなどのように着脱可能であってセクタ単位のアクセスが必要なカード型メモリのインターフェース回路、その回路を搭載したASIC、及びそのASICを搭載した画像形成装置に関する。

【0002】

【従来の技術】

プリンタやコピー、MFP(マルチ・ファンクション・ペリフェラル)といった機器のソフトウェアの書き換え手段として、メモリカードやネットワークなどのホストインターフェースからのダウンロードがある。しかし、フィールドサポートなどにおけるメンテナンスやソフトウェアのアップデートを行おうとすると、ユーザのシステム環境を使用できるとは限らないことから、ホストインターフェースが利用できるとは限らないのが現状である。

【0003】

このため、確実に利用できる手段として、メモリカードインターフェースを基板上に設けている。メモリカードに対するアクセスは、RAMと同様に扱えることから、ソフトウェアによるインターフェース初期化などの処理は必要なかった。また、メモリカード上でプログラムを実行することも可能であった。しかし、メモリカードは1枚あたりの容量がせいぜい4メガバイトと小さい上に、最近では入手しにくくなってきた。

【0004】

そこで、近年では例え特許文献1のように、メモリーカードの代替として、SDカードが採用されている。SDカードはフロッピー(登録商標)ディスクのような携帯可能なメディアとして注目され、カードサイズに比べ記録容量が大きいことから、画像データや音声データの記録、再生用に採用され始めている。SDカードへのリードアクセスに限定することにより、BIOSを必要とせずにSDカードへのアクセスが可能になるほか、CPUのアクセスに応じて必要なデータ

タだけを読み出せるため、RAMへのデータコピーをせず、SDカード上でプログラムの実行が可能になる。また、通信エラーが発生した場合に、通信速度を自動で段階的に落としていき、エラーが発生しないところで処理を継続するようすることで、ソフトウェアやハードウェアを変更せずにデータ通信を行うことが可能になる。

【0005】

【特許文献】

特開平11-242596号公報、図1

【0006】

【発明が解決しようとする課題】

しかしながら、バッファサイズが1セクタ分しか搭載していないSDカードインターフェースでは、ジャンプ命令等でプログラムが複数のセクタにまたがる場合に、カード型メモリからの読み出しにかかるオーバヘッドの影響が大きいので、プログラムの実行速度が遅いという欠点がある。

【0007】

本発明は上記従来例の問題点に鑑み、カード型メモリからの読み出しにかかるオーバヘッドの影響を少なくしてプログラムの実行速度を向上させることができるカード型メモリのインターフェース回路、その回路を搭載したASIC、及びそのASICを搭載した画像形成装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

第1の手段は、着脱可能であってセクタ単位のアクセスが必要なカード型メモリと電子機器本体を接続するカード型メモリのインターフェース回路において、前記カード型メモリからリードした少なくとも2セクタ分のデータを格納するバッファと、前記電子機器本体側のCPUからの前記カード型メモリへのリードアクセスに対し、そのリードアクセスデータが前記バッファに格納されているいずれかのセクタ内のデータである場合には前記バッファから前記リードアクセスデータを前記CPUに送信し、そのリードアクセスデータが前記バッファに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出され

た時期が一番古いセクタのデータを破棄するとともに、前記リードアクセスデータを含むセクタデータを前記カード型メモリから読み出して前記バッファに格納後、前記バッファから前記リードアクセスデータを前記C P Uに送信する手段とを備えたことを特徴とする。

【0009】

例えば図1、図2に示すようにSDカードインターフェース14は、SDカード4からリードした少なくとも2セクタ分のデータを格納するバッファ143aを有し、画像形成装置本体側のC P U5からのSDカード4へのリードアクセスに対し、そのリードアクセスデータがバッファ143aに格納されているいずれかのセクタ内のデータである場合にはバッファ143aからリードアクセスデータをC P U5に送信し、そのリードアクセスデータがバッファ143aに格納されているいずれのセクタ内のデータでない場合に、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、リードアクセスデータを含むセクタデータをSDカード4から読み出してバッファ143aに格納後、バッファ143aからリードアクセスデータをC P U5に送信する。

【0010】

上記構成により、電子機器本体側のC P Uからのアクセスがカード型メモリのセクタをまたがっても、そのデータをある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【0011】

第2の手段は、第1の手段において、前記カード型メモリがSDカードであることを特徴とする。

【0012】

上記構成により、電子機器本体側のC P UからのアクセスがSDカードのセクタをまたがっても、そのデータをある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させる

ことができる。

【0013】

第3の手段は、画像処理機能、画像入出力機能及びデータ通信機能の1以上のアプリケーション機能を有し、各アプリケーション機能がメモリ及びハードディスクの1以上を共有資源として利用可能に構成された設計されたASICにおいて、請求項1又は2記載のカード型メモリのインターフェース回路を搭載したことを特徴とする。

【0014】

上記構成により、カード型メモリに記憶されているプログラムなどをASICを介して電子機器にダウンロードする場合に、プログラムの実行速度を向上させることができる。

【0015】

第4の手段は、第3の手段に記載のASICを搭載した画像形成装置において、前記カード型メモリに格納されているプログラムを直接実行することを特徴とする。

【0016】

上記構成により、画像形成装置のソフトウェア開発の効率化を図ることが可能となる。

【0017】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図1は本発明に係るSDカードインターフェースを内蔵したASICを備えた画像形成装置の一実施形態を示すブロック図、図2は図1のSDカードインターフェースを詳しく示すブロック図、図3は図1のSDカードインターフェースによるSDカード初期化処理を説明するためのフローチャート、図4は図1のSDカードインターフェースによるCPUリードアクセス処理を説明するためのフローチャートである。

【0018】

図1において、ASIC(特定用途向けIC)10は画像入出力機能、画像処

理機能及びデータ通信等の複数のアプリケーション機能を有し、各アプリケーション機能がメモリ6、HDD（ハードディスクドライブ）1内のハードディスク等を共通資源として利用可能に設計され、ASIC10には、HDD1と、PHYデバイス（ネットワークデバイス）2と、PHYデバイス（USBデバイス）3と、SDカード4と、画像形成装置本体側のCPU5、メモリ6、プリンタエンジン20及びIEEE1284デバイス及び接続される。HDD1は画像データやプログラムを格納し、CPU5は画像形成装置全体の制御を行い、メモリ6はランダムアクセス可能である。なお、プリンタエンジン20は記録媒体に可視画像を形成する画像形成手段として機能し、IEEE1284インターフェイス17を使用して外部から転送されてくる画像データ、PHYデバイス2、3から転送されてくる画像データ、HDD1、SDカード4などに格納されていた画像データに基づいて画像を形成することが可能であり、プリンタエンジン20とシステムを組むことによりASIC10を備えたプリンタ、コピー装置、ファクシミリなどの画像形成装置を構成する。

【0019】

ASIC10には詳しくは、メモリ・アビタ30と、メモリ・アビタ30とHDD（ハードディスクドライブ）1を接続するためのHDDインターフェイス11及びDMAコントローラ21と、メモリ・アビタ30とPHYデバイス2を接続するためのネットワークインターフェイス12及びDMAコントローラ22と、メモリ・アビタ30とPHYデバイス3を接続するためのUSBインターフェイス13及びDMAコントローラ23と、メモリ・アビタ30（及びメモリコントローラ16）とSDカード4を接続するためのSDカードインターフェイス14及びDMAコントローラ24と、メモリ・アビタ30とCPU5を接続するためのCPUインターフェイス15と、メモリ・アビタ30（及びSDカードインターフェイス14）とメモリ6を接続するためのメモリコントローラ16と、メモリ・アビタ30と不図示のIEEE1284デバイス、プリンタエンジンをそれぞれ接続するためのIEEE1284インターフェイス17、プリンタエンジンインターフェイス18が設けられている。

【0020】

すなわち、ハードディスクやネットワークなど、複数のアプリケーションに加え、SDカードインターフェイス14がメモリアービタ30を介したDMAコントローラ24によるデータ転送バスと、ランダムアクセス用のメモリコントローラ16へのバスで接続されている。この構成により、SDカード4からメモリ6だけではなくHDD1やネットワークデバイス、USBデバイスのインターフェース12、13間でのデータ転送も可能になる。

【0021】

図2はSDカードインターフェイス14の構成例を詳しく示す。SDカードコントローラ141は、SDカード4の規格に準じてSDカード4とのデータの通信を実際に行う部分である。制御回路145は、CPU5からの制御コマンドをSDカードコントローラ141に与えたり、SDカード4にたいしDMA転送を使用するか、ランダムアクセスを使用するかを選択するためにマルチプレクサ144の切替を行う回路ブロックである。

【0022】

DMAインターフェース142は、SDカードコントローラ141（及びマルチプレクサ144）と図1におけるDMAコントローラ24との間にあり、両者のインターフェースの整合を取り、DMAにより転送を可能とする回路ブロックである。RAMアクセスインターフェース143は、図1におけるメモリ（RAM）コントローラ16もしくはCPUインターフェース15とSDカードコントローラ141（及びマルチプレクサ144）との間にあり、両者のインターフェースの整合を取る回路ブロックである。

【0023】

RAMアクセスインターフェース143内には、複数セクタ分（512バイト×Nセクタ）のバッファ（RAM）143aを内蔵し、このバッファ143aにSDカード4の複数セクタ分のデータを蓄えることができるようになっている。CPU5からのリードアクセスに対し、このバッファ143aに格納されているセクタ範囲内のデータであれば、SDカード4からのデータ読み出しを経ることなく、バッファ143aからデータを読み出すことができる。これにより、SDカード4へのアクセスを最小限に抑えるようにしている。

【0024】

図3は、SDカードインターフェイス14によるSDカード4の初期化手順を示したフローチャートの一例である。初期化はシーケンシャルな処理で済むものであり、手順さえ間違わなければさほど難しいものではない。問題になるのは、カード未挿入や適用外のカード挿入によるエラーが発生した場合である。カード未挿入の場合、一定時間の間はカード挿入の確認を継続することも可能である。

【0025】

本システムでは、SDカードインターフェース14におけるハードウェアでの初期化処理の使用目的を限定することで、エラーの発生を抑えることにしている。つまり、ソフトウェアのアップデートや自己診断プログラムの実行など、サービスエンジニアなどによる特定の作業に限定することである。

【0026】

図3を参照して詳しく説明する。まず、SDカード4が初期化済みか否かを判断し（ステップS1）、初期化済みでなければSDインターフェースリセット解除を実行する（ステップS2）。次いでカード4の挿入を確認し（ステップS3、S4）、カード4があればステップS5に進み、他方、カード4がなければステップS1に戻る。

【0027】

ステップS5以下の処理では、SDクロック設定（ステップS5）、SDカード初期化（ステップS6）、動作電圧設定（ステップS7）、カードID取得（ステップS8）、カードアドレス取得（ステップS9）、カードサイズ取得（ステップS10）、ブロック長設定（ステップS11）、データバス幅設定（ステップS12）、カードステータス取得（ステップS13）、初期化済みフラグのセット（ステップS15）を実行する。また、エラーが発生した場合にはカードみ挿入フラグをセットし（ステップS14）、次いでステップS15に進む。

【0028】

図4は、CPU5からカード4に対するリードアクセスがあった場合の処理を説明するためのフローチャートの一例として、2セクタ分のバッファ143aを有する場合を示している。この回路もシーケンス処理になる。図1の初期化処理

が終了するまでは、起動しない仕組みとなっている。初期化が終了した時点で S D カード 4 を認識できなかった場合は、シーケンサを停止させる。このことは、前述のとおり用途を限定することで、問題のない範疇になる。図 4 は S D カードへのリードアクセスのみを記述しているため、C P U 5 からのアクセス要求がリードアクセス以外の場合はアクセスエラーを返す仕組みになっている。

【0029】

C P U 5 からのリード要求データ量がバッファ 143a 内に格納されている 2 セクタのいずれかと同じ S D カード 4 上のセクタの範囲内であるならば、バッファ 143a にすでにデータが存在することになる。その場合は、要求されたデータを即座にバッファ 143a から C P U 5 へ返すことになる。このとき、アクセスされたセクタ領域を領域 = 0 と定義し、常に領域 = 0 が最後にアクセスされたセクタであるように管理する。

【0030】

もし、要求されたデータがすでにバッファ 143a に格納されているセクタの範囲外であるならば、シーケンサはセクタ領域 = 1 のセクタデータを破棄し、領域 = 0 のセクタデータを領域 1 = に移動する（バンク切換えでもよい）。S D カード 4 から該当するセクタデータを読み出す処理を実行し、領域 = 0 にデータを格納する。そして、C P U 5 から要求のあったアドレスのデータを返す。この動作により、C P U 5 は S D カード 4 を意識することなく S D カード 4 内の任意のアドレスのデータを読み出すことが可能になる。

【0031】

図 4 を参照して詳しく説明する。まず、ステップ S 2 1 において初期化済みであれば S D カード 4 の有無を判断する（ステップ S 2 2）、S D カード 4 がなければこの処理を終了し、他方、あればステップ S 2 3 以下に進む。ステップ S 2 3 ではリード要求の有無を判断し、あればステップ S 2 5 に進み、他方、なければエラー応答を実行し（ステップ S 3 2）、次いでステップ S 2 3 に戻る。ステップ S 2 5 ではリードアクセスデータがセクタ領域 = 0 にあるか否かを判断し、セクタ領域 = 0 になければステップ S 2 6 に進み、他方、セクタ領域 = 0 にあればステップ S 3 1 に進んでセクタ領域 = 0 内のリードアクセスデータをリードし

、そのリードデータをCPU5に応答する。

【0032】

ステップS26ではリードアクセスデータがセクタ領域=1にあるかを判断し、セクタ領域=1になければステップS27に進み、他方、セクタ領域=1にあればセクタ領域=0のデータとセクタ領域=1のデータを入れ替え（ステップS33）、次いでステップS31に進んでセクタ領域=0内のリードアクセスデータをリードし、そのリードデータをCPU5に応答する。

【0033】

ステップS27ではセクタ領域=0のデータをセクタ領域=1に移動し、次いでSDカード4に対してセクタリードコマンドを発行する（ステップS28）。次いでセクタリード終了まで待機し（ステップS29）、セクタリードが終了するとそのセクタデータをセクタ領域=0に書き込み（ステップS30）、次いでセクタ領域=0内のリードアクセスデータをリードし、そのリードデータをCPU5に応答し（ステップS31）、次いでステップS23に戻る。

【0034】

【発明の効果】

以上説明したように本発明によれば、電子機器本体側のCPUからのアクセスがSDカードのセクタをまたがっても、そのデータをある期間保持しておくことで、セクタ境界のプログラム実行や、短いサイズのサブ関数実行におけるデータ読み出しのオーバヘッドを軽減できるようになり、これにより、プログラムの実行速度を向上させることができる。

【図面の簡単な説明】

【図1】

本発明に係るSDカードインターフェースを内蔵したASICを備えた画像形成装置の一実施形態を示すブロック図である。

【図2】

図1のSDカードインターフェースを詳しく示すブロック図である。

【図3】

図1のSDカードインターフェースによるSDカード初期化処理を説明するた

めのフローチャートである。

【図4】

図1のSDカードインターフェースによるCPUリードアクセス処理を説明するためのフローチャートである。

【符号の説明】

4 SDカード

5 CPU

10 ASIC

14 SDカードインターフェース

141 SDカードコントローラ

142 DMAインターフェース

143 RAMアクセスインターフェース

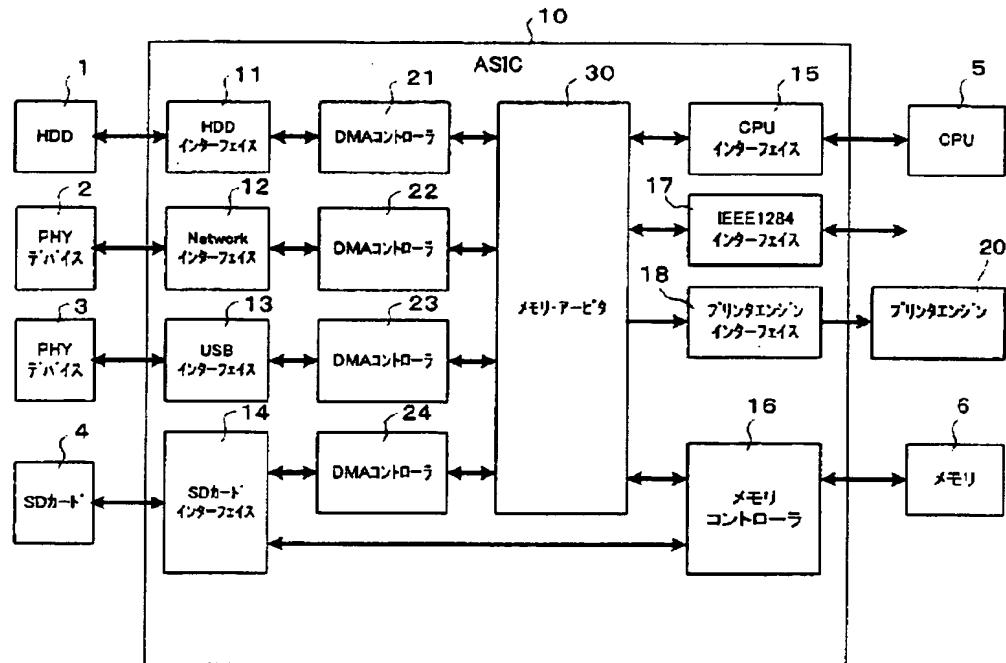
143a バッファ (RAM)

144 マルチプレクサ

145 制御回路

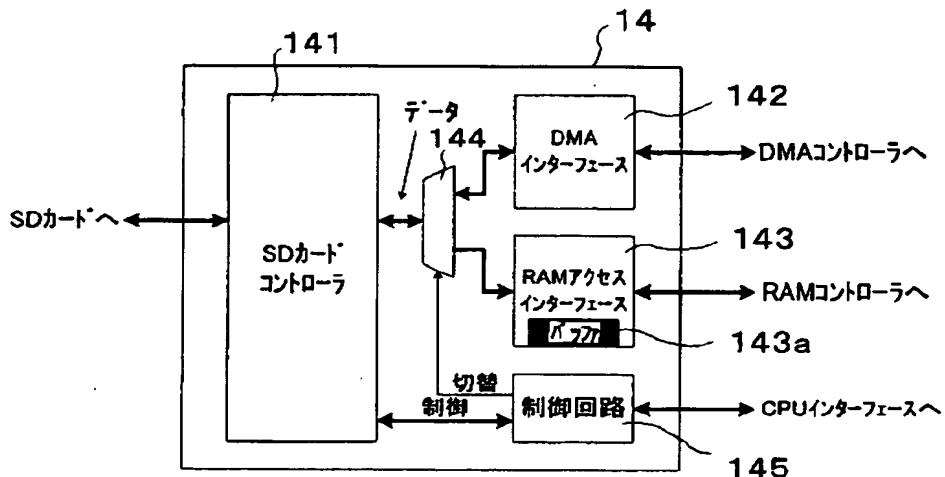
【書類名】 図面

【図 1】



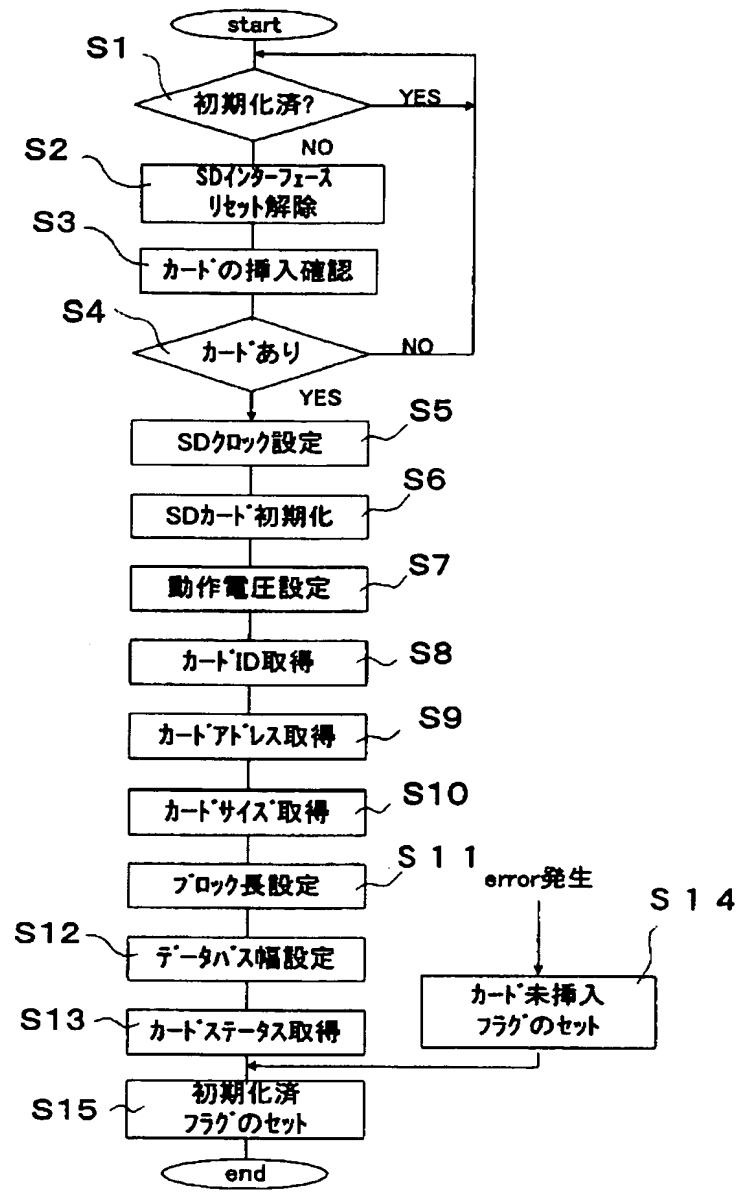
SDカードインターフェースを内蔵したASIC構成例

【図 2】



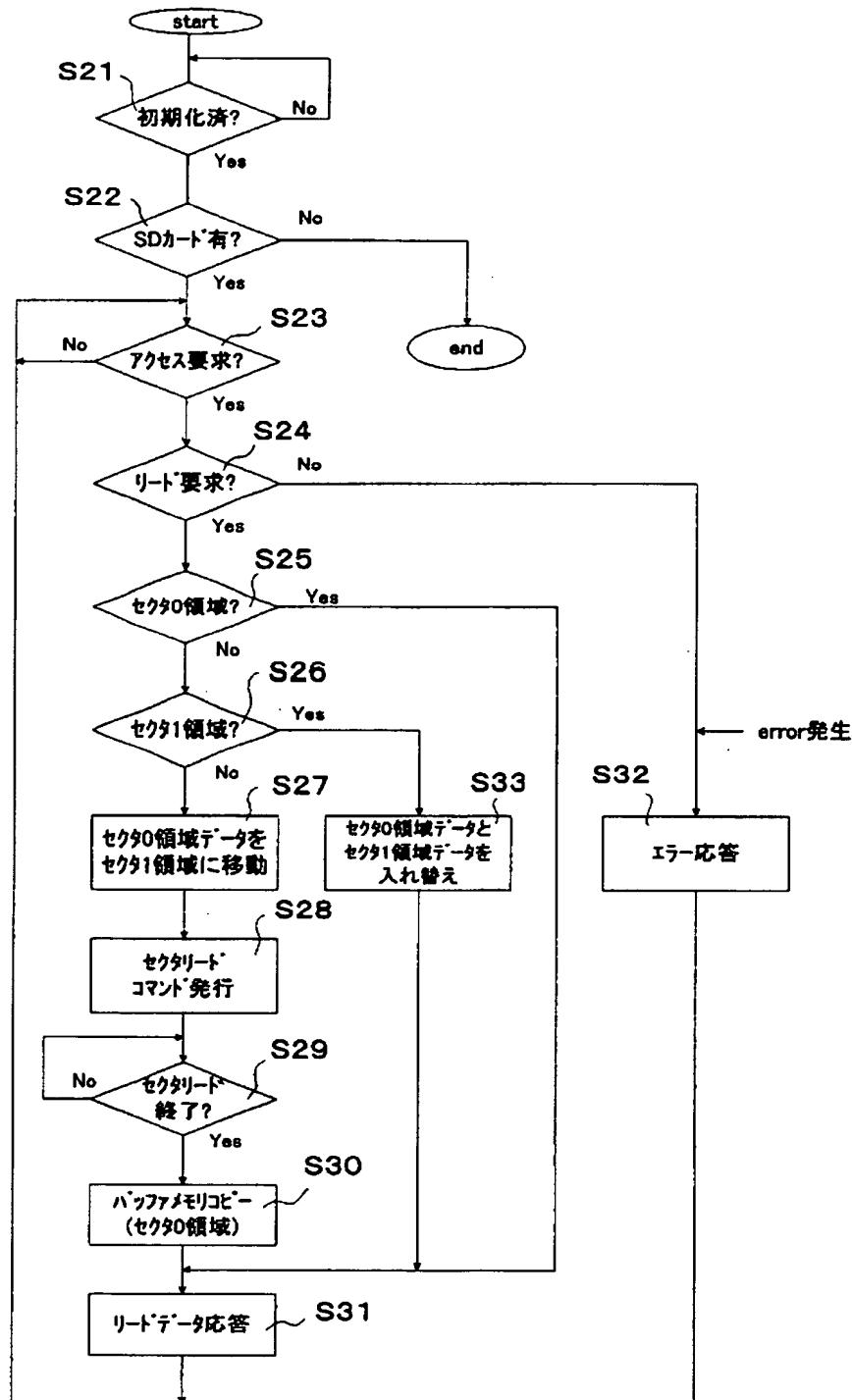
SDカードインターフェース構成例

【図3】



初期化フロー例

【図 4】



リードアクセスフロー例

【書類名】 要約書

【要約】

【課題】 カード型メモリからの読み出しにかかるオーバヘッドの影響を少なくしてプログラムの実行速度を向上させる。

【解決手段】 S Dカードインターフェース14は、S Dカード4からリードした少なくとも2セクタ分のデータを格納するバッファ143aを有し、画像形成装置本体側のC P U 5からのS Dカード4へのリードアクセスに対し、そのリードアクセスデータがバッファ143aに格納されているいずれかのセクタ内のデータである場合にはバッファ143aからリードアクセスデータをC P U 5に送信し、そうでない場合には、該当するデータが読み出された時期が一番古いセクタのデータを破棄するとともに、リードアクセスデータを含むセクタデータをS Dカード4から読み出してバッファ143aに格納後、バッファ143aからリードアクセスデータをC P U 5に送信する。

【選択図】 図4

特願 2002-382155

出願人履歴情報

識別番号 [00006747]

1. 変更年月日 2002年 5月17日

[変更理由] 住所変更

住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー